

DERWENT-ACC-NO: 2004-258659

DERWENT-WEEK: 200448

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Synchronization unit for a semiconductor
memory device especially a DDR RAM or high frequency chip has
generated and temperature controlled delay device for
received signals

INVENTOR: MENCZIGAR, U

PATENT-ASSIGNEE: INFINEON TECHNOLOGIES AG[INFN] , MENCZIGAR
U[MENCI]

PRIORITY-DATA: 2002DE-1041928 (September 10, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
US 6765836 B2	July 20, 2004	N/A
000 G11C 007/04		
DE 10241928 A1	March 18, 2004	N/A
010 G11C 007/22		
US 20040057325 A1	March 25, 2004	N/A
000 G11C 008/02		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
US 6765836B2	N/A	2003US-0659693
September 10, 2003		
DE 10241928A1	N/A	2002DE-1041928
September 10, 2002		
US20040057325A1	N/A	2003US-0659693
September 10, 2003		

INT-CL (IPC): G11C007/04, G11C007/22 , G11C008/02 , G11C011/4076

ABSTRACTED-PUB-NO: DE 10241928A

BASIC-ABSTRACT:

NOVELTY - A synchronization unit for a semiconductor memory device
(100),

especially a high-frequency or DDR-RAM memory chip, which generates or receives an input clock signal (Cin), temperature adjusts it and outputs it (Cout) comprises a temperature-controlled delay device (10) producing a delay (20) to the clock signal which is then output.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a semiconductor memory device comprising the above.

USE - As a synchronization unit for a semiconductor memory device, especially a high-frequency device or a DDR-RAM memory chip (claimed)

ADVANTAGE - A very reliable tuning of clock signals is achieved.

DESCRIPTION OF DRAWING(S) - A flow diagram of the system is shown.

synchronizing unit 1

delay 20

memory device 100

input signal Cin

output signal Cout

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: SYNCHRONISATION UNIT SEMICONDUCTOR MEMORY DEVICE RAM
HIGH

FREQUENCY CHIP TEMPERATURE CONTROL DELAY DEVICE GENERATE
RECEIVE
SIGNAL

DERWENT-CLASS: U14 U22

EPI-CODES: U14-A03B4; U14-A07C; U22-D04;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2004-205509



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 41 928 A1** 2004.03.18

(12)

Offenlegungsschrift

(21) Aktenzeichen: **102 41 928.0**
(22) Anmeldetag: **10.09.2002**
(43) Offenlegungstag: **18.03.2004**

(51) Int Cl.⁷: **G11C 7/22**
G11C 11/4076

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(72) Erfinder:
Menczgar, Ullrich, 85591 Vaterstetten, DE

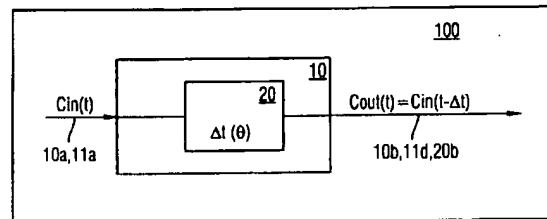
(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667 München

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Synchronisationseinrichtung für eine Halbleiterspeichereinrichtung**

(57) Zusammenfassung: Zur Erzielung einer möglichst stabilen Synchronisation von Taktsignalen ist bei einer Synchronisationseinrichtung (10) für eine Halbleiterspeichereinrichtung (100) eine temperaturgesteuerte Verzögerung (20) vorgesehen, durch welche eine von einer Betriebstemperatur (θ) abhängige Signalverzögerung ($\Delta t(\theta)$) erzeugbar ist.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Synchronisationseinrichtung für eine Halbleiterspeichereinrichtung gemäß dem Oberbegriff von Anspruch 1 sowie eine Halbleiterspeichereinrichtung.

[0002] Bei Halbleiterspeichereinrichtungen findet der Betrieb auf der Grundlage eines extern vorgegebenen oder intern erzeugten Taktsignals statt. Auf der Grundlage des vorliegenden Taktsignals werden Speicherinhalte in der Halbleiterspeichereinrichtung gespeichert, ausgelesen oder gelöscht. Da Halbleiterspeichereinrichtungen aus einer Vielzahl von Speichereinheiten bestehen und da in der Regel eine Mehrzahl von Halbleiterspeichereinrichtungen in einer Schaltungsanordnung gemeinsam und insbesondere gemeinsam getaktet verwendet werden, ist beim Betrieb und beim Design moderner Halbleiterspeichereinrichtungen der Synchronizität der jeweiligen Taktsignale zueinander und der dann ausgegebenen Daten Rechnung zu tragen, damit einem jeweiligen Schreib-, Lese- oder Löschbefehl ein entsprechendes Datum, welches zu einem gewissen Zeitpunkt an der Halbleiterspeichereinrichtung zum Beispiel erscheint, zugeordnet werden kann.

[0003] Diese Aspekte sind insbesondere wichtig bei hochfrequenten oder hoch getakteten Halbleiterspeichereinrichtungen und insbesondere bei Halbleiterspeichereinrichtungen vom Double-Data-Rate-Typ, zum Beispiel bei sog. DDR-RAMs.

[0004] Bisher wird beim Stand der Technik den Synchronizitätserfordernissen dadurch Rechnung getragen, dass eine Synchronisationseinrichtung vorgesehen ist, bei welcher ein Eingangstaktsignal der Halbleiterspeichereinrichtung generierbar oder empfangbar ist, bei welcher das generierte oder empfangene Eingangstaktsignal zeitlich anpassbar ist und bei welcher das zeitlich angepasste generierte oder empfangene Eingangstaktsignal als Ausgangstaktsignal ausgebar und der Halbleiterspeichereinrichtung zur Verarbeitung zur Verfügung stellbar ist.

[0005] Dabei ist jedoch problematisch, dass es einer Abstimmung der Synchronisationseinrichtung in Bezug auf die Schaltungsumgebung bedarf. Diese wird bisher im stationären Betriebszustand ermittelt und eingestellt, also für eine bestimmte und vorgegebene Betriebstemperatur der Halbleiterspeichereinrichtung bzw. der Synchronisationseinrichtung. So wie sich aber die Betriebstemperatur der Halbleiterspeichereinrichtung und/oder der Synchronisationseinrichtung ändert, gibt es Abweichungen der Abstimmung des Synchronisationsverhaltens der Synchronisationseinrichtung im Vergleich zum stationären Zustand. Dies ist insbesondere nachteilig beim Betrieb von einem normalen Betriebsmodus zu einem Energiesparmodus hin und insbesondere beim Anfahren aus dem Energiesparmodus in den normalen Betriebszustand hinein.

[0006] Der Erfindung liegt die Aufgabe zugrunde, eine Synchronisationseinrichtung anzugeben, bei

welcher auf besonders zuverlässige Art und Weise eine zeitliche Abstimmung eines Taktsignals erreichbar ist.

[0007] Die Aufgabe wird bei einer Synchronisationseinrichtung der eingangs erwähnten Art erfindungsgemäß durch die kennzeichnenden Merkmale von Anspruch 1 gelöst. Vorteilhafte Weiterbildungen sind Gegenstand der abhängigen Unteransprüche. Des Weiteren wird die Aufgabe durch eine Halbleiterspeichereinrichtung mit den kennzeichnenden Merkmalen des Anspruchs 14 gelöst.

[0008] Die erfindungsgemäße Synchronisationseinrichtung ist dadurch gekennzeichnet, dass eine temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung vorgesehen ist. Ferner ist durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung eine von einer Betriebstemperatur der Halbleiterspeichereinrichtung abhängige Signalverzögerung erzeugbar. Ferner ist durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung das generierte oder empfangene Eingangstaktsignal etwa um die Signalverzögerung verzögert als Ausgangstaktsignal ausgebar.

[0009] Es ist somit eine Kernidee der vorliegenden Erfindung, eine Verzögerungseinrichtung innerhalb der Synchronisationseinrichtung vorzusehen, welche selbst temperatursteuerbar oder temperaturgesteuert ausgebildet ist. Durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung wird eine Signalverzögerung in Bezug auf das generierte oder empfangene Eingangstaktsignal erzeugt, bei welcher die Temperaturabhängigkeit mit berücksichtigt wird. Die gemäß der jeweils vorliegenden Betriebstemperatur der Halbleiterspeichereinrichtung generierte Signalverzögerung wird derart berücksichtigt, dass durch die temperaturgesteuerte oder temperatursteuerbare Verzögerungseinrichtung das generierte und empfangene Eingangstaktsignal etwa um die generierte Signalverzögerung verzögert als Ausgangstaktsignal bereitgestellt wird.

[0010] Dabei wird insbesondere die Signalverzögerung, welche temperaturabhängig generiert wird, so gewählt und eingestellt, dass für das Eingangstaktsignal C_{in} und das Ausgangstaktsignal C_{out} die Beziehung

$$C_{out}(t) = C_{in}(t - \Delta t(\vartheta))$$

erfüllbar oder näherungsweise erfüllbar ist. Dabei bezeichnet t die Zeit, Δt die Signalverzögerung in Bezug auf die Eingangstaktsignale C_{in} und Ausgangstaktsignale C_{out} und ϑ die Temperatur.

[0011] Gemäß der vorliegenden Erfindung ist durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung die temperaturabhängige Signalverzögerung $\Delta t(\vartheta)$ so erzeugbar oder generierbar, dass das Ausgangstaktsignal C_{out} oder dessen zeitliches Verhalten im Wesentlichen unabhängig ist

von einer Betriebstemperatur der Halbleiterspeichereinrichtung.

[0012] Dabei werden also insbesondere sämtliche in der Synchronisationseinrichtung und der Halbleiterspeichereinrichtung vorliegenden Temperaturabhängigkeiten der einzelnen Anteile bestimmter Baugruppen an der Gesamtverzögerung mit berücksichtigt, und es wird die durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung generierte eigene temperaturabhängige Signalverzögerung $\Delta t(\vartheta)$ derart angepasst, dass sich für alle Betriebstemperaturen insgesamt für die gesamte Synchronisationseinrichtung und/oder für die gesamte Halbleiterspeichereinrichtung mit Synchronisationseinrichtung eine über sämtliche Temperaturen konstante Signalverzögerung zwischen Eingangstaktsignal C_{in} und Ausgangstaktsignal C_{out} ergibt.

[0013] Dabei ist es insbesondere vorgesehen, dass für jede erste Betriebstemperatur ϑ_1 der Halbleiterspeichereinrichtung und für jede zweite Betriebstemperatur ϑ_2 eine erste Signalverzögerung $\Delta t(\vartheta_1)$ bzw. eine zweite Signalverzögerung $\Delta t(\vartheta_2)$ derart erzeugbar sind, dass für alle Zeitpunkte t durch die jeweiligen Ausgangstaktsignale C_{out1} und C_{out2} die Beziehung

$$C_{out1}(t) = C_{out2}(t)$$

erfüllbar oder näherungsweise erfüllbar ist, wenn nur für die Eingangstaktsignale C_{in1} und C_{in2} für alle Zeitpunkte t

$$C_{in1}(t) = C_{in2}(t)$$

erfüllt oder näherungsweise erfüllt ist.

[0014] Dies bedeutet letztlich, dass unabhängig von der gegebenen Betriebstemperatur ϑ die Gesamtverzögerung zwischen Eingangstaktsignal C_{in} und Ausgangstaktsignal C_{out} konstant bleibt, indem die temperaturabhängige "Zusatzverzögerung" $\Delta t(\vartheta)$ entsprechend gesteigert oder vermindert wird.

[0015] Dabei ist es also insbesondere vorgesehen, dass bei einer vergleichsweise höheren Betriebstemperatur ϑ der Halbleiterspeichereinrichtung eine vergleichsweise kürzere Signalverzögerung $\Delta t(\vartheta)$ erzeugt wird.

[0016] Alternativ oder zusätzlich ist es vorgesehen, dass bei einer vergleichsweise niedrigen Betriebstemperatur ϑ der Halbleiterspeichereinrichtung eine vergleichsweise lange Signalverzögerung $\Delta t(\vartheta)$ generierbar ist.

[0017] Zur Durchführung der temperaturabhängigen Steuerung der Signalverzögerung Δt ist es vorgesehen, dass ein für die jeweilige Betriebstemperatur ϑ der Halbleiterspeichereinrichtung repräsentatives Temperatursignal T verwendbar ist oder verwendet wird, insbesondere in Form einer sogenannten

Steuerspannung V_{ctrl} .

[0018] Dieses Temperatursignal T ist vorteilhafterweise über eine vorgesehene Steuerleitungseinrichtung, insbesondere von extern, zuführbar.

[0019] Ferner ist es vorgesehen, dass das Temperatursignal T über eine vorgesehene Temperatursensoreinrichtung erzeugbar und zuführbar ist.

[0020] Diese Temperatursensoreinrichtung kann insbesondere an einer Steuerleitungseinrichtung angeschlossen sein oder anschließbar sein.

[0021] Gemäß einer besonders bevorzugten Ausführungsform der erfindungsgemäßen Synchronisationseinrichtung ist es vorgesehen, dass die Synchronisationseinrichtung eine Verzögerungsleitungseinrichtung aufweist mit einem Eingangsanschluss, einem Ausgangsanschluss und einem Steueranschluss.

[0022] Ferner ist es alternativ oder zusätzlich vorgesehen, dass die Verzögerungseinrichtung mit einem Eingangsanschluss und einem Ausgangsanschluss im Ausgangsanschluss der Verzögerungseinrichtung vorgesehen ist.

[0023] Bei einer anderen Alternative der vorliegenden Erfindung ist es vorgesehen, dass eine Rückkoppeleinrichtung mit einem Eingangsanschluss und einem Ausgangsanschluss vorgesehen ist. Zusätzlich ist eine Phasendetektoreinrichtung mit einem ersten und zweiten Eingangsanschluss und einem Ausgangsanschluss vorgesehen.

[0024] Besonders bevorzugt wird dabei, dass die Rückkoppeleinrichtung mit ihrem Eingangsanschluss im Eingangsanschluss der Verzögerungsleitungseinrichtung mit dem Ausgangsanschluss der Verzögerungseinrichtung und mit dem Ausgangsanschluss mit dem ersten Eingangsanschluss der Phasendetektoreinrichtung verbunden ist.

[0025] Ferner kann es vorgesehen sein, dass der zweite Eingangsanschluss der Phasendetektoreinrichtung mit dem Eingangsanschluss der Verzögerungsleitungseinrichtung und der Ausgangsanschluss der Phasendetektoreinrichtung mit dem Steueranschluss der Verzögerungsleitungseinrichtung verbunden sind.

[0026] Besonders einfach und vorteilhaft ist es, wenn gemäß einer weiter bevorzugten Ausführungsform der vorliegenden Erfindung die Verzögerungseinrichtung zwei in Reihe geschaltete Tri-State-Inverter aufweist oder von diesen gebildet wird.

[0027] Ein weiterer Aspekt der vorliegenden Erfindung besteht darin, eine Halbleiterspeichereinrichtung vorzusehen, bei welcher eine Synchronisationseinrichtung zum zeitlichen Anpassen eines Taktsignals vorgesehen ist und bei welcher diese Synchronisationseinrichtung nach der Erfindung ausgebildet ist.

[0028] Diese und weitere Aspekte der vorliegenden Erfindung ergeben sich auch anhand der nachstehend aufgelisteten Bemerkungen:

[0029] In Double-Data-Rate-DRAMs (DDR-RAMs) werden die gelesenen Daten zu einer externen Takt-

flanke synchronisiert. Die Phasendifferenz zwischen dem externen Taktsignal und den gelesenen Daten wird dabei minimiert. Die Synchronisation erfolgt mit Hilfe sogenannte Delay-Locked-Loop-Schaltungen (DLL). In stromsparenden Betriebsraten (power down Modi) werden etliche Schaltungsteile und auch die DLL abgeschaltet. Dadurch sinkt die Temperatur des Chips. Nach Beendigung des power down Modus (power down exit) stimmt die Phasenbeziehung zwischen dem externen Taktsignal und den gelesenen Daten nicht mehr gut überein, da die Phasendifferenz bei erwärmtem Chip minimiert wurde und bei kühlerem Chip daher nicht mehr exakt stimmt. Die vorgeschlagene Lösung misst die Temperatur auf dem Chip und regelt ein zusätzliches Verzögerungselement nach, um die Phasendifferenz nach einem power down exit zu minimieren.

[0030] Bisher wurde entweder die DLL im power down Modus weiter betrieben oder nach einem power down exit eine Vergrößerung der Phasendifferenz in Kauf genommen.

[0031] Die Vorteile liegen darin, dass die DLL im power down Modus abgeschaltet werden kann, um Strom zu sparen, und dabei trotzdem die Phasendifferenz minimiert werden kann.

[0032] Der erfinderische Schritt besteht darin, die bestehenden DLL-Schaltungen mit einer temperaturgeregelten Verzögerungsschaltung zu erweitern.

[0033] Fig. 1 zeigt schematisch, wie die Daten $DQ<0:n>$ mit Hilfe der DLL zu einem externen Taktsignal (CLK) synchronisiert werden. CLK wird in einem Phasendetektor mit dem Ausgang der feed back-Schaltung (FB) verglichen. Innerhalb der FB-Schaltung wird die Verzögerung des Receivers (RCV) und des Off-Chip-Drivers (OCD) nachgebildet. Die Verzögerung der delay live (DL) wird solange nachgestellt, bis die Phasendifferenz am Eingang des Phasendetektors zu null wird.

[0034] Am Phasendetektor gilt

$$t_{RCV} + t_{DL} + t_{VCDL} + t_{FB} - t_{RCV} + n \cdot t_{cyc}$$

wobei t_{cyc} die Zykluszeit des Taktsignals bezeichnet.

[0035] Mit

$$t_{FB} - t_{RCV} + t_{OCD}$$

gilt somit die gleiche Beziehung wie zwischen CLK-Eingang und DQ-Ausgang

$$t_{RCV} + t_{DL} + t_{VCDL} + t_{OCD} - n \cdot t_{cyc}$$

[0036] Somit sind CLK und $DQ<0:n>$ in Phase für

$$t_{DL} = n \cdot t_{cyc} - t_{OCD} - t_{RCV} - t_{VCDL}$$

t_{DL} wird stets nachgeregelt, solange der Chip nicht in

einem power down-Zustand ist, in dem die DLL ebenfalls ausgeschaltet wird. Im Power down-Zustand kühlt der Chip ab und t_{OCD} , t_{RCV} und t_{DL} werden kürzer. Dadurch ergäbe sich eine Phasendifferenz nach dem Power down exit zwischen CLK und $DQ<0:15>$. Durch den Temperatursensor (z. B. einer Bandgapreferenzschaltung, welche auf jedem Chip implementiert ist) wird die Temperatur gemessen, in eine Steuerspannung (V_{an}) umgesetzt und die Verzögerung der voltage controlled delay line VCDL nachgestellt. Eine mögliche Realisierung einer VCDL ist in Fig. 2 dargestellt. Die Temperaturdrift von t_{OCD} , t_{RCV} und t_{DL} kann dadurch teilweise kompensiert werden. Dies ermöglicht, die DLL im Power down-Zustand komplett abzustellen, da dann keine Nachregelung der delay line im Power down-Modus erfolgen muss.

[0037] Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen näher erläutert.

[0038] Fig. 1 zeigt in Form eines Blockdiagramms das Grundprinzip der erfindungsgemäßen Synchronisationseinrichtung.

[0039] Fig. 2 zeigt in Form eines Blockdiagramms in größerem Detail eine Ausführungsform der vorliegenden erfindungsgemäßen Synchronisationseinrichtung.

[0040] Fig. 3 zeigt in Form eines Schaltbildes eine Ausführungsform einer temperaturgesteuerten Verzögerungseinrichtung, welche bei der vorliegenden Erfindung Anwendung findet.

[0041] Nachfolgend werden für gleiche oder gleich wirkende Elemente und Strukturen immer dieselben Bezugszeichen verwendet, ohne dass in jedem Fall ihres Auftretens eine vollständige Erläuterung dazu wiederholt wird.

[0042] Fig. 1 zeigt in Form eines Blockdiagramms die grundsätzliche Funktionsweise einer Synchronisationseinrichtung 10 im Bereich einer Halbleiterspeichereinrichtung 100 oder dergleichen, und zwar gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung.

[0043] In einer schematisch angedeuteten Halbleiterspeichereinrichtung 100 wird einem Eingangsanschluss 10a, 11a ein Eingangstaktsignal $Cin(t)$, welches zeitabhängig ist, einer erfindungsgemäßen Synchronisationseinrichtung 10 zugeführt, welche erfindungsgemäß eine temperaturgesteuerte Verzögerungseinrichtung 20 enthält. Aufgrund der Wirkungsweise der erfindungsgemäß vorgesehenen temperaturgesteuerten Verzögerungseinrichtung 20 erfolgt dann die Erzeugung und Ausgabe eines Ausgangstaktsignals $Cout(t)$ am Ausgangsanschluss 10b, 11b der erfindungsgemäßen Synchronisationseinrichtung 10. Aufgrund der Wirkungsweise der erfindungsgemäßen Synchronisationseinrichtung 10 mit der temperaturgesteuerten Verzögerungseinrichtung 20 ergibt sich, dass bei jeglichen zwei Betriebstemperaturen θ_1 und θ_2 die Ausgangssignale $Cout_1$ und $Cout_2$ identisch zueinander sind und einen identischen zeitlichen Verlauf besitzen, wenn nur die Ein-

gangstaktsignale Cin1 und Cin2 ebenfalls identisch und zeitlich koinzidierend sind.

[0044] D.h. es gilt zumindest näherungsweise für alle Zeitpunkte t

$$\text{Cin1}(t) = \text{Cin2}(t) \Rightarrow \text{Cout1}(t) = \text{Cout2}(t).$$

[0045] **Fig. 2** zeigt in Form eines Blockdiagramms im Detail den Aufbau einer Ausführungsform der erfindungsgemäßen Synchronisationseinrichtung 10 im Bereich einer Halbleiterspeichereinrichtung 100.

[0046] Über einen Eingangsanschluss 10a, 11a wird ein Eingangstaktsignal Cin mit einem bestimmten zeitlichen Verlauf, der durch $\text{Cin} = \text{Cin}(t)$ angedeutet wird, der erfindungsgemäßen Synchronisationseinrichtung 10 zugeführt, wobei eine im Eingangsbereich vorgesehene Empfänger- oder Receivererschaltung 30 eine entsprechende erste Verzögerungskomponente t_{RCV} generiert. Am Ausgang entsteht nach dem Durchlaufen der erfindungsgemäßen Synchronisationseinrichtung 10 ein Ausgangstaktsignal $\text{Cout} = \text{Cout}(t)$, welches ebenfalls zeitabhängig ist. Dabei wird dann ein im Ausgangsbereich vorgesehener Treiberblock, nämlich ein Off-Chip-Driver OCD, 40, durchlaufen, der seinerseits ebenfalls eine Verzögerungskomponente t_{OCD} im Signalverlauf hinterlässt.

[0047] Kernstücke der erfindungsgemäßen Synchronisationseinrichtung 10 sind eine Verzögerungsleitungseinrichtung 11 mit einem Eingangsanschluss 11a und einem Ausgangsanschluss 11b. Über einen Steueranschluss 11c wird die Verzögerungsleitungseinrichtung 11 gesteuert, und zwar über eine vorgesehene Rückkoppeleinrichtung 13 und eine vorgesehene Phasendifferenzdetektoreinrichtung 12. Im Bereich des Ausgangsanschlusses 11b ist in Reihe eingebracht die erfindungsgemäß vorgesehene temperaturgesteuerte Verzögerungseinrichtung 20, und zwar mit ihrem Eingangsanschluss 20a direkt am Ausgangsanschluss 11b der Verzögerungsleitungseinrichtung 11 derart, dass der Ausgangsanschluss 20b der Verzögerungseinrichtung 20 den tatsächlichen Ausgangsanschluss 11d bzw. 10d der Leitungsverzögerungseinrichtung 11 und damit der Synchronisationseinrichtung 10 bildet.

[0048] Der Eingangsanschluss 13a des Rückkoppeleschaltkreises oder der Rückkoppeleinrichtung 13 ist direkt mit dem Ausgangsanschluss 20b, 10b, 11d der temperaturgesteuerten Verzögerungseinrichtung 20, der Synchronisationseinrichtung 10 bzw. der Verzögerungsleitungseinrichtung 11 verbunden. Der Ausgangsanschluss 13b der Rückkoppeleinrichtung 13 ist mit einem ersten Eingang 12b einer Phasendetektoreinrichtung 12 verbunden. Der zweite Eingang 12a der Phasendetektoreinrichtung 12 ist mit dem Eingangsanschluss 10a, 11a der Synchronisationseinrichtung 10 bzw. der Verzögerungsleitungseinrichtung 11 verbunden. Der Ausgangsanschluss 12c der Phasendetektoreinrichtung 12 wird direkt dem Steueranschluss 11c der Verzögerungsleitungsein-

richtung 11 zugeführt.

[0049] Die temperaturgesteuerte Verzögerungseinrichtung 20 besitzt in der in **Fig. 2** gezeigten Ausführungsform selbst einen Temperatursensor 21, durch welchen eine Steuerspannung V_{ctrl} erzeugt wird, welche als für die Betriebstemperatur ϑ repräsentatives Temperatursignal T dient und über einen Ausgangsanschluss 21b des Temperatursensors 21 dem Steueranschluss 22c einer spannungsgesteuerten Verzögerungsschaltung 22 zugeführt wird, welche den eigentlichen Kern der temperaturgesteuerten Verzögerungsschaltung 20 bildet.

[0050] **Fig. 3** zeigt in Form eines Schaltdiagramm einen möglichen und vorteilhaften Aufbau eines spannungsgesteuerten Verzögerungsschaltkreises 22, wie er bei der temperaturgesteuerten Verzögerungseinrichtung 20 Anwendung finden kann. Dabei wird die für die Temperatur ϑ repräsentative Steuerspannung V_{ctrl} über den Steueranschluss 22c den Steuergates zweier in Reihe geschalteter Tri-State-Inverter 25 und 26 zugeführt, welche jeweils auf das Betriebspotential V_{DD} geklemmt sind. Es ist ferner eine Differenzbildungseinrichtung 27 vorgesehen, die die Differenz zwischen der Steuerspannung V_{ctrl} und der Betriebsspannung V_{DD} bildet.

[0051] Mit steigender Temperatur ϑ , also mit wachsendem Temperatursignal T und somit wachsender Steuerspannung V_{ctrl} , sinkt die Ausgangsspannung an der Differenzbildungseinrichtung 27c und es wird eine verkürzte Verzögerung Δt erzeugt, so dass diese insgesamt einen verringerten Beitrag zur Gesamtverzögerung der Synchronisationseinrichtung 10 bringt. Mit sinkender Temperatur, wenn also die sonstigen Komponenten geringere Verzögerungsbeiträge liefern, ist auch das Temperatursignal T für die entsprechende Betriebstemperatur ϑ geringer, somit liegt auch eine geringere Steuerspannung V_{ctrl} vor. Entsprechend wird durch die in **Fig. 3** gezeigte Anordnung eine längere Verzögerung erzeugt, so dass insgesamt eine Temperatur eine temperaturunabhängige konstante Verzögerung eingestellt werden kann.

Bezugszeichenliste

10	Synchronisationseinrichtung, delay locked loop, DLL
11	Verzögerungsleitungseinrichtung
11a	Eingangsanschluss
11b	Ausgangsanschluss
11c	Steueranschluss
11d	Ausgangsanschluss
12	Phasendetektoreinrichtung, Phasendetektor
12a	erster Eingangsanschluss
12b	zweiter Eingangsanschluss
12c	Ausgangsanschluss
13	Rückkoppeleinrichtung, Rückkopplungseinrichtung
13a	Eingangsanschluss
13b	Ausgangsanschluss
20	Verzögerungseinrichtung, temperaturgesteuerte Verzögerungseinrichtung
20a	Eingangsanschluss
20b	Ausgangsanschluss
21	Temperatursensoreinrichtung
21b	Ausgangsleitung
22	spannungsgesteuerte Verzögerungsleitung oder Verzögerungseinrichtung, VCDL
22c	Steuerleitung
25	erster Tri-State-Inverter
26	zweiter Tri-State-Inverter
27	Differenzbildungseinrichtung
30	Receiver
40	Off-Chip-Driver
100	Halbleiterspeichereinrichtung

Patentansprüche

1. Synchronisationseinrichtung für eine Halbleiterspeichereinrichtung, insbesondere für eine hochfrequente Halbleiterspeichereinrichtung oder für einen DDR-RAM-Speicherbaustein,

– bei welcher ein Eingangstaktsignal (Cin) der Halbleiterspeichereinrichtung generierbar oder empfangbar ist,

– bei welcher das generierte oder empfangene Eingangstaktsignal (Cin) zeitlich anpassbar ist und

– bei welcher das zeitlich angepasste generierte oder empfangene Eingangstaktsignal (Cin) als Ausgangstaktsignal (Cout) ausgebar und der Halbleiterspeichereinrichtung zur Verarbeitung zur Verfügung stellbar ist,

dadurch gekennzeichnet,

– dass eine temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung (10) vorgesehen ist,

– dass durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung (10) eine von einer Betriebstemperatur (?) der Halbleiterspeichereinrichtung abhängige Signalverzögerung ($\Delta t(?)$) erzeugbar ist und

– dass durch die temperatursteuerbare oder temperaturgesteuerte Verzögerungseinrichtung das generierte oder empfangene Eingangstaktsignal (Cin) etwa um die Signalverzögerung ($\Delta t(?)$) verzögert als Ausgangstaktsignal (Cout) ausgebar ist.

2. Synchronisationseinrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Signalverzögerung ($\Delta t(?)$) so generierbar ist, dass für das Eingangstaktsignal (Cin) und für das Ausgangssignal (Cout) die Beziehung

$$Cout(t) = Cin(t - \Delta t(?))$$

erfüllbar oder näherungsweise erfüllbar ist,

– wobei Cin das zeitabhängige Eingangstaktsignal, Cout das zeitabhängige Ausgangstaktsignal, t die Zeit, Δt die Signalverzögerung und ϑ die Temperatur bedeuten.

3. Synchronisationseinrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die temperaturabhängige Signalverzögerung ($\Delta t(?)$) so generierbar ist, dass das Ausgangstaktsignal (Cout) oder dessen zeitliches Verhalten im Wesentlichen unabhängig von einer Betriebstemperatur der Halbleiterspeichereinrichtung ist.

4. Synchronisationseinrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass für jede erste Betriebstemperatur ϑ_1 der Halbleiterspeichereinrichtung und für jede zweite Betriebstemperatur ϑ_2 der Halbleiterspeichereinrichtung eine erste Signalverzögerung $\Delta t(\vartheta_1)$ und eine zweite Signalverzögerung $\Delta t(\vartheta_2)$ derart erzeugbar sind, dass für alle Zeitpunkt t durch die Ausgangstaktsignale Cout1 und Cout2 die Beziehung

$$Cout1(t) = Cout2(t)$$

erfüllbar oder näherungsweise erfüllbar ist, wenn nur

$$Cin1(t) = Cin2(t)$$

für die jeweiligen Eingangstaktsignale Cin1 und Cin2 für alle Zeitpunkte t erfüllt oder näherungsweise erfüllt ist.

5. Synchronisierungseinrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet,

– dass bei einer vergleichsweise höheren Betriebstemperatur (ϑ) der Halbleiterspeichereinrichtung (100) eine vergleichsweise kürzere Signalverzögerung (Δt) generierbar ist und/oder

– dass bei einer vergleichsweise niedrigen Betriebs-

temperatur (9) der Halbleiterspeichereinrichtung (100) eine vergleichsweise längere Signalverzögerung (Δt) generierbar ist.

6. Synchronisierungseinrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass zur temperaturabhängigen Steuerung der Signalverzögerung (Δt) ein für die jeweilige Betriebstemperatur (?) der Halbleiterspeichereinrichtung (100) repräsentatives Temperatursignal (T) verwendet wird oder verwendbar ist, insbesondere in Form einer Steuerspannung (V_{ctrl}).

7. Synchronisierungseinrichtung nach Anspruch 6, dadurch gekennzeichnet, dass das Temperatursignal (T) über eine vorgesehene Steuerleitungseinrichtung (22c), insbesondere von extern, zuführbar ist.

8. Synchronisierungseinrichtung nach einem der Ansprüche 6 oder 7, dadurch gekennzeichnet,
– dass das Temperatursignal (T) über eine vorgesehene Temperatursensoreinrichtung (21) erzeugbar und zuführbar ist,
– welche insbesondere an einer Steuerleitungseinrichtung (22c) angeschlossen ist oder anschließbar ist.

9. Synchronisationseinrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet,
– dass eine Verzögerungsleitungseinrichtung (11) vorgesehen ist, mit einem Eingangsanschluss (11a), einem Ausgangsanschluss (11b, 11d) und einem Steueranschluss und
– dass die Verzögerungseinrichtung (20) mit einem Eingangsanschluss (20a) und einem Ausgangsanschluss (20b) im Ausgangsanschluss der Verzögerungsleitungseinrichtung (11) vorgesehen ist.

10. Synchronisationseinrichtung nach Anspruch 9, dadurch gekennzeichnet,
– dass eine Rückkoppleinrichtung (13) vorgesehen ist mit einem Eingangsanschluss (13a) und einem Ausgangsanschluss (13b) und
– dass eine Phasendetektoreinrichtung (12) vorgesehen ist mit einem ersten und einem zweiten Eingangsanschluss (12a, 12b) und einem Ausgangsanschluss (12c).

11. Synchronisationseinrichtung nach Anspruch 10, dadurch gekennzeichnet, dass die Rückkoppleinrichtung (13) mit ihrem Eingangsanschluss (13a) im Ausgangsanschluss (11d) mit dem Ausgangsanschluss (20b) der Verzögerungseinrichtung (20) und mit dem Ausgangsanschluss (13b) mit dem ersten Eingangsanschluss (12b) der Phasendetektoreinrichtung (12) verbunden ist.

12. Synchronisationseinrichtung nach einem der Ansprüche 10 oder 11, dadurch gekennzeichnet,

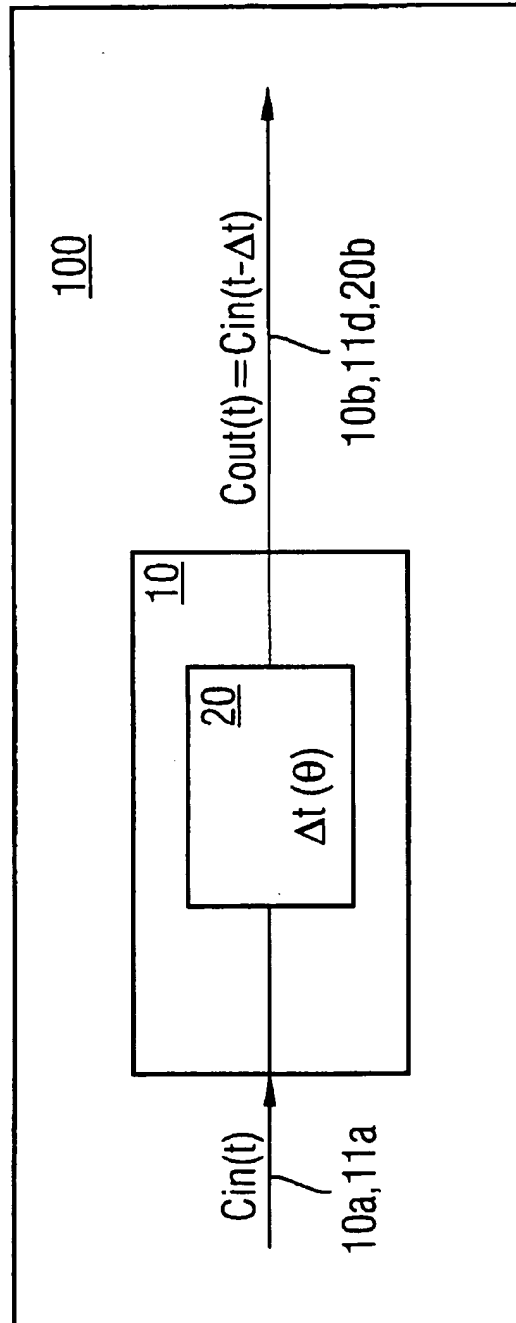
– dass der zweite Eingangsanschluss (12a) der Phasendetektoreinrichtung (12) mit dem Eingangsanschluss (11a) der Verzögerungsleitungseinrichtung (11) und
– dass der Ausgangsanschluss (12c) der Phasendetektoreinrichtung (12) mit dem Steueranschluss (11c) der Verzögerungsleitungseinrichtung (11) verbunden ist.

13. Synchronisationseinrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Verzögerungseinrichtung (20) zwei in Reihe geschaltete Tri-State-Inverter (25, 26) aufweist oder von diesen gebildet wird.

14. Halbleiterspeichereinrichtung,
– bei welcher eine Synchronisationseinrichtung (10) zum zeitlichen Anpassen eines Taktsignals (Cin, Cout) vorgesehen ist und
– bei welcher die Synchronisationseinrichtung (10) nach einem der Ansprüche 1 bis 13 ausgebildet ist.

Es folgen 3 Blatt Zeichnungen

FIG 1



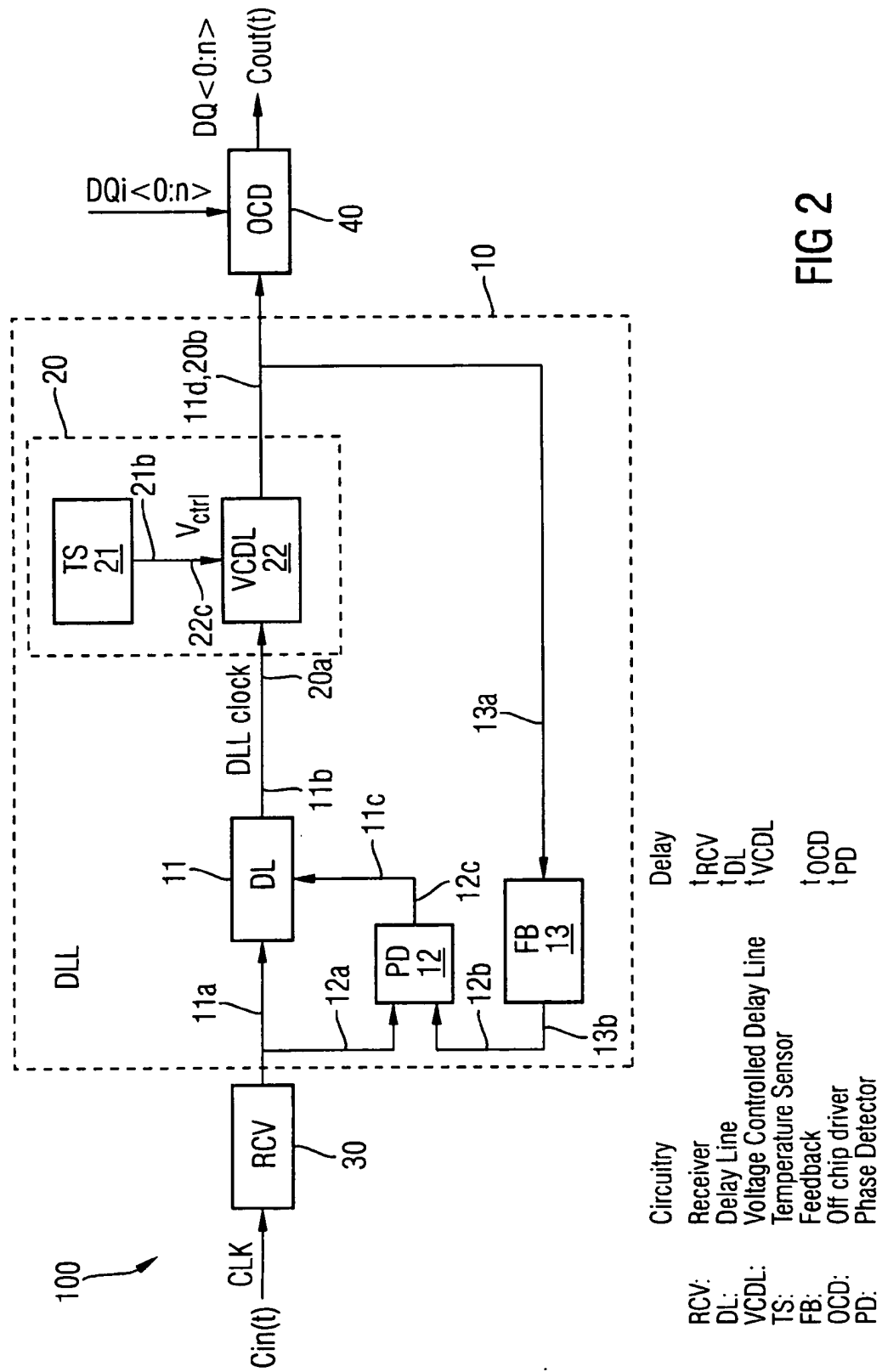


FIG 2

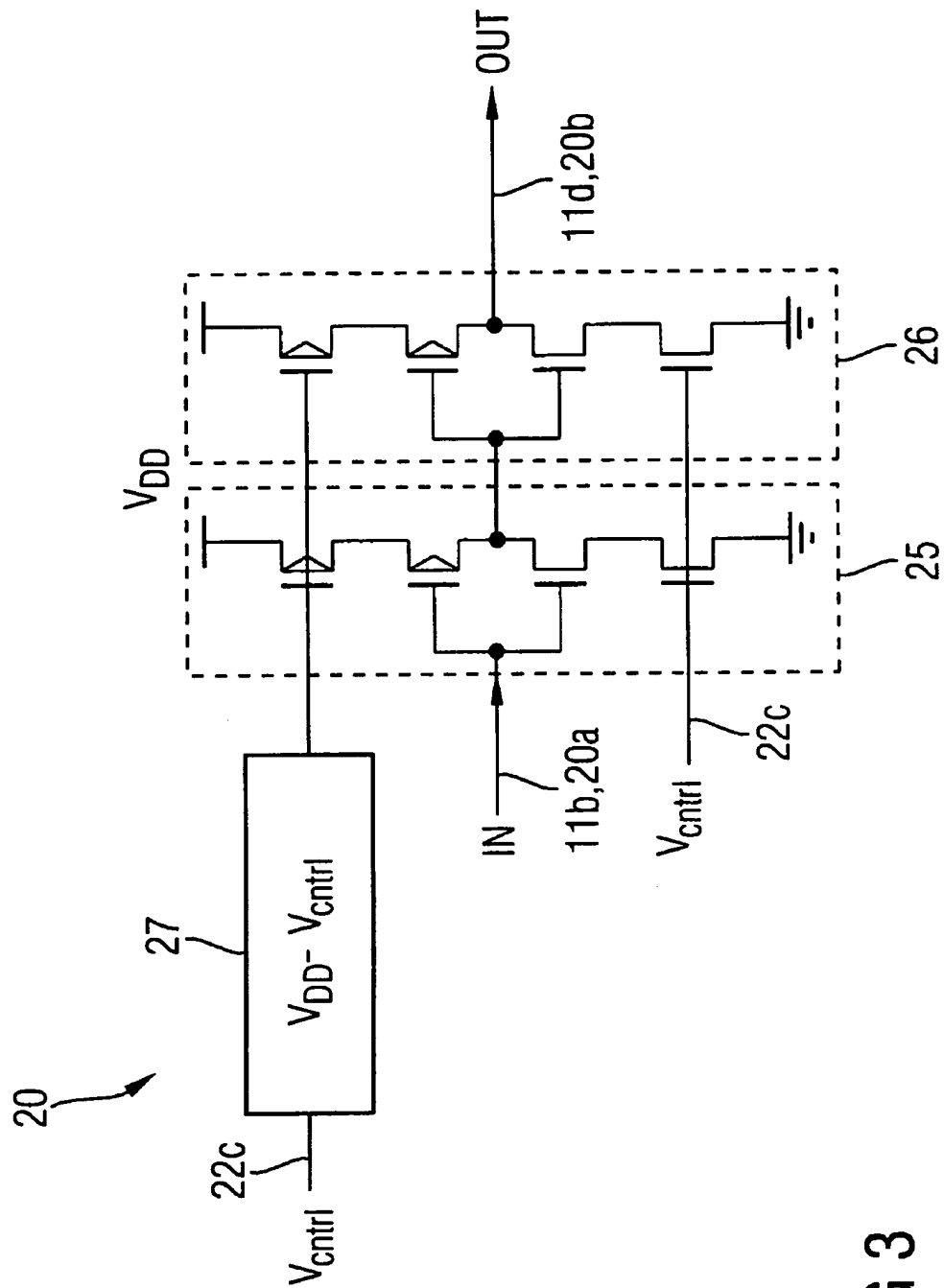


FIG 3